

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-086544

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

G11C 11/407

G05F 1/56

G05F 3/24

H01L 27/04

H01L 21/822

(21)Application number : 09-239728

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 04.09.1997

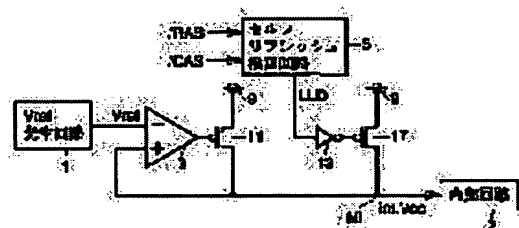
(72)Inventor : YAMAZAKI KYOJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device improving an operation characteristic at a low voltage operation time.

SOLUTION: The semiconductor integrated circuit device having a regular operation mode and a self refresh mode is provided with a Vref generation circuit 1 for dropping an external source voltage and supplying an internal source voltage int.Vcc to an internal circuit 7, a differential amplifier 3, a P channel MOS transistor 11, a self refresh detection circuit 5 detecting the self refresh mode and the P channel MOS transistor 17 to be turned on at the time of a self refresh mode, and supplies the external source voltage from the external source voltage node 9 to the internal circuit 7 at the low voltage operation (self refresh mode) time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

【特許請求の範囲】

【請求項 1】 通常動作モードと低電圧動作モードとを有する半導体集積回路装置であって、内部回路に接続された内部電源電圧供給ノードと、外部電源電圧を降圧して内部電源電圧を前記内部電源電圧供給ノードに供給する降圧手段と、前記低電圧動作モードにおいて、前記内部電源電圧供給ノードに前記外部電源電圧を供給する外部電源電圧供給手段とを備えた半導体集積回路装置。

【請求項 2】 前記外部電源電圧供給手段は、外部電源電圧ノードと、前記外部電源電圧ノードと前記内部電源電圧供給ノードとの間に接続されたトランジスタと、外部制御信号に応じて、前記低電圧動作モードでは前記トランジスタを導通状態にするモード切替手段とを含む、請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記モード切替手段は、ロウアドレスストロープ信号とコラム アドレスストロープ信号とを受取って、コラム アドレスストロープ信号がロウアドレスストロープ信号より先に活性化されたことを検知することにより、前記トランジスタを導通状態にする、請求項 2 に記載の半導体集積回路装置。

【請求項 4】 前記外部電源電圧供給手段は、前記降圧手段に含まれ、前記通常動作モードでは前記内部電源電圧を前記内部電源電圧供給ノードに供給する、請求項 2 に記載の半導体集積回路装置。

【請求項 5】 前記低電圧動作モードでは、前記降圧手段の動作を停止させる降圧動作制御手段をさらに備えた、請求項 2 または 4 に記載の半導体集積回路装置。

【請求項 6】 1チップに形成され、異なる2種類の大きさの外部電源電圧に応じて動作する半導体集積回路装置であって、外部電源電圧を降圧して内部電源電圧を内部回路へ供給する降圧手段と、

前記2種類の外部電源電圧のうちより低い電圧の外部電源電圧が供給される場合には、前記内部回路へ前記外部電源電圧を供給する外部電源電圧供給手段とを備えた半導体集積回路装置。

【請求項 7】 前記外部電源電圧供給手段は、外部電源電圧ノードと、前記外部電源電圧ノードと前記内部回路との間に接続され、ゲートには外部電源電圧判定信号が供給されるトランジスタを含む、請求項 6 に記載の半導体集積回路装置。

【請求項 8】 前記トランジスタは、PチャネルMOSトランジスタである、請求項 7 に記載の半導体集積回路装置。

【請求項 9】 前記外部電源電圧供給手段は、前記降圧手段に含まれ、前記2種類の外部電源電圧のうちより高い電圧の外部電源電圧が供給される場合には、前記内部

電源電圧を前記内部回路へ供給する、請求項 6 に記載の半導体集積回路装置。

【請求項 10】 前記2種類の外部電源電圧のうちより低い電圧の外部電源電圧が供給される場合には、前記降圧手段の動作を停止させる降圧動作制御手段をさらに備えた、請求項 7 または 9 に記載の半導体集積回路装置。

【請求項 11】 前記外部電源電圧の大きさが所定値より低いと否かを判定するレベル判定手段をさらに備え、前記レベル判定手段で前記外部電源電圧の大きさが前記所定値より低いと判定された場合だけ、前記外部電源電圧供給手段が前記内部電源電圧供給ノードに前記外部電源電圧を供給する、請求項 1 から 3 のいずれかに記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路装置に関し、さらに詳しくは、外部電源電圧を降圧して内部電源電圧を内部回路へ供給する半導体集積回路装置に関するものである。

【0002】

【従来の技術】 図9は、従来の電圧降下回路（VDC）の構成を示す図である。

【0003】 図9に示されるように、この回路は内部電源電圧供給ノードN1と、外部電源電圧（ext. Vcc）ノード9と、内部電源電圧供給ノードN1と外部電源電圧ノード9との間に接続されたPチャネルMOSトランジスタ11と、参照電圧（Vref）発生回路1と、反転入力端子がVref発生回路1に接続され、非反転入力端子が内部電源電圧供給ノードN1に接続されるとともに、出力ノードがPチャネルMOSトランジスタ11のゲートに接続された差動増幅器3とを備える。

【0004】 このような回路により、内部電源電圧を外部電源電圧から降圧することは、低消費電力化やトランジスタの信頼性上などの問題から一般的な技術となっている。そして、近年VDCを搭載する半導体集積回路において、セルフリフレッシュモードのような低消費電力動作（低電圧動作）モードでは、さらなる低消費電力化のために、外部電源電圧を通常動作時に比べ低くすることがある。

【0005】

【発明が解決しようとする課題】 しかしながら、低電圧動作においてはVDCの応答性が悪化する。すなわち、外部電源電圧が低下するとVDCに含まれるコンパレータの動作が遅くなり、内部回路動作時の電流消費による電圧降下を戻す応答性が遅くなる。

【0006】 ここで、VDCの応答性が外部電源電圧の低下により遅くなる原因を図10を用いて説明する。

【0007】 なお、ここでは、ノードnExVccに供給される外部電源電圧ext. Vccは2.5V、NチャネルMOSトランジスタNT、A、NT、B、NT、

Cのしきい値電圧 V_{tn} とPチャネルMOSトランジスタPT、A、PT、Dのしきい値電圧の絶対値 $|V_{tp}|$ とはともに1V、電圧 V_{REF1} は1Vとする。

【0008】ノードNAは、PチャネルMOSトランジスタPT、Aがダイオード接続されているため、しきい値電圧の絶対値 $|V_{tp}|$ だけ外部電源電圧 $ext. V_{cc}$ より下がった1.5Vとなる。

【0009】一方、ノードNBは、NチャネルMOSトランジスタNT、Bのゲート・ソース間電圧 V_{gs} が1Vなので、ソース電圧よりしきい値電圧 V_{tn} 分だけ高い1Vとなる。よって、NチャネルMOSトランジスタNT、Cのドレイン・ソース間電圧 V_{ds} は0.5Vとなり、また、内部電源電圧 $int. V_{cc}$ が2.5VのときNチャネルMOSトランジスタNT、Cのゲート・ソース間電圧 V_{gs} は1.5Vとなる。

【0010】図11は、NチャネルMOSトランジスタNT、Cのドレイン・ソース間電流 I_{ds} とドレイン・ソース間電圧 V_{ds} との関係を示す図である。ここで、電圧 V_{ds0} 、電流 I_{ds0} は、それぞれ上記の状態におけるNチャネルMOSトランジスタNT、Cのドレイン・ソース間電圧、ドレイン・ソース間電流を示す。

【0011】図11に示されるように、NチャネルMOSトランジスタNT、Cのドレイン・ソース間電圧 V_{ds} が電圧 V_{ds0} のときは、NチャネルMOSトランジスタNT、Cは飽和領域と線形領域との間くらいで動作する。

【0012】ここでたとえば、外部電源電圧 $ext. V_{cc}$ が3V程度と大きくなると電圧 V_{ds} も大きくなって飽和領域に入り、外部電源電圧 $ext. V_{cc}$ が2V程度と小さくなると電圧 V_{ds} は小さくなり線形領域に入る。

【0013】図11に示されるように、電圧 V_{gs} が1.5Vから1.3Vへ変化したとき（すなわち、内部電源電圧 $int. V_{cc}$ が0.2V下がったとき）において、電圧 V_{ds} が線形領域内にある場合の電流 I_{ds} の変化量 ΔI_1 は、電圧 V_{ds} が飽和領域内にある場合の電流 I_{ds} の変化量 ΔI_2 に比べ小さくなる。これより、主にPチャネルMOSトランジスタPT、Dのゲート容量を有するキャパシタC1を放電させる速度が遅くなるため、結果としてVDDは外部電源電圧 $ext. V_{cc}$ （すなわち、内部電源電圧 $int. V_{cc}$ ）の低下により応答性を遅くすることになる。

【0014】また、VDDでは、それに含まれるコンパレータで参照電圧 V_{REF} と内部電源電圧 $int. V_{cc}$ とを常に比較しているため、電流を常に消費し続けるという問題もある。

【0015】さらには、低電圧動作から通常動作に復帰するときに電圧供給不足を招くという問題がある。

【0016】本発明は、上記のような問題を解消するためになされたもので、低電圧動作時の動作特性が改善さ

れた半導体集積回路装置を提供することを目的とする。

【0017】

【課題を解決するための手段】請求項1に係る半導体集積回路装置は、通常動作モードと低電圧動作モードとを有する半導体集積回路装置であって、内部回路に接続された内部電源電圧供給ノードと、外部電源電圧を降圧して内部電源電圧を内部電源電圧供給ノードに供給する降圧手段と、低電圧動作モードにおいて、内部電源電圧供給ノードに外部電源電圧を供給する外部電源電圧供給手段とを備えるものである。

【0018】請求項2に係る半導体集積回路装置は、請求項1に記載の半導体集積回路装置であって、外部電源電圧供給手段は、外部電源電圧ノードと、外部電源電圧ノードと内部電源電圧供給ノードとの間に接続されたトランジスタと、外部制御信号に応じて、低電圧動作モードではトランジスタを導通状態にするモード切換手段とを含むものである。

【0019】請求項3に係る半導体集積回路装置は、請求項2に記載の半導体集積回路装置であって、モード切換手段は、ロウアドレスストロープ信号とコラムアドレスストロープ信号とを受取って、コラムアドレスストロープ信号がロウアドレスストロープ信号より先に活性化されたことを検知することにより、トランジスタを導通状態にするものである。

【0020】請求項4に係る半導体集積回路装置は、請求項2に記載の半導体集積回路装置であって、外部電源電圧供給手段は、降圧手段に含まれ、通常動作モードでは内部電源電圧を内部電源電圧供給ノードに供給するものである。

【0021】請求項5に記載の半導体集積回路装置は、請求項2または4に記載の半導体集積回路装置であって、低電圧動作モードでは、降圧手段の動作を停止させる降圧動作制御手段をさらに備えるものである。

【0022】請求項6に係る半導体集積回路装置は、1チップに形成され、異なる2種類の大きさの外部電源電圧に応じて動作する半導体集積回路装置であって、外部電源電圧を降圧して内部電源電圧を内部回路へ供給する降圧手段と、2種類の外部電源電圧のうちより低い電圧の外部電源電圧が供給される場合には、内部回路へ外部電源電圧を供給する外部電源電圧供給手段とを備えるものである。

【0023】請求項7に係る半導体集積回路装置は、請求項6に記載の半導体集積回路装置であって、外部電源電圧供給手段は、外部電源電圧ノードと、外部電源電圧ノードと内部回路との間に接続され、ゲートには外部電源電圧判定信号が供給されるトランジスタを含むものである。

【0024】請求項8に係る半導体集積回路装置は、請求項7に記載の半導体集積回路装置であって、トランジスタは、PチャネルMOSトランジスタである。

【0025】請求項 9に係る半導体集積回路装置は、請求項 6に記載の半導体集積回路装置であって、外部電源電圧供給手段は、降圧手段に含まれ、2種類の外部電源電圧のうちより高い電圧の外部電源電圧が供給される場合には、内部電源電圧を内部回路へ供給するものである。

【0026】請求項 10に係る半導体集積回路装置は、請求項 7または9に記載の半導体集積回路装置であって、2種類の外部電源電圧のうちより低い電圧の外部電源電圧が供給される場合には、降圧手段の動作を停止させる降圧動作制御手段をさらに備えるものである。

【0027】請求項 11に係る半導体集積回路装置は、請求項 1から3のいずれかに記載の半導体集積回路装置であって、外部電源電圧の大きさが所定値より低い場合に判定するレベル判定手段をさらに備え、レベル判定手段で外部電源電圧の大きさが所定値より低いと判定された場合だけ、外部電源電圧供給手段が内部電源電圧供給ノードに外部電源電圧を供給するものである。

【0028】

【発明の実施の形態】以下において、本発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0029】【実施の形態1】図1は、本発明の実施の形態1に係る半導体集積回路装置（内部電源電圧発生回路）の構成を示す図である。

【0030】図1に示されるように、この回路は、通常動作モードと低電圧動作モード（セルフリフレッシュモード）とを有し、内部回路7に接続された内部電源電圧供給ノードN1と、外部電源電圧ノード9と、外部電源電圧ノード9と内部電源電圧供給ノードN1との間に接続されたPチャネルMOSトランジスタ11と、外部電源電圧に依存しない内部回路に所望の参照電圧（Vref）を発生するVref発生回路1と、反転入力端子がVref発生回路1に接続され、非反転入力端子が内部電源電圧供給ノードN1に接続されるとともに、出力ノードがPチャネルMOSトランジスタ11のゲートに接続された差動増幅器3と、ロウアドレスストローブ信号/RASとコラム アドレスストローブ信号/CASとを受取ってセルフリフレッシュモードを検知するセルフリフレッシュ検知回路5と、セルフリフレッシュ検知回路5に接続されたインバータ13と、外部電源電圧ノード9と内部電源電圧供給ノードN1との間に接続されゲートはインバータ13と接続されたPチャネルMOSトランジスタ17とを備える。

【0031】次に、本実施の形態に係る内部電源電圧発生回路の動作を説明する。差動増幅器3は、参照電圧（Vref）と内部電源電圧（int. Vcc）とを比較し、int. VccがVrefより低くなるとアナログ的にロー（L）レベルの信号を出力する。これによりPチャネルMOSトランジスタ11がオンし、外部電源

電圧（3.3V）ノード9から電流を供給し、内部電源電圧を所望の電圧（2.5V）に戻す。

【0032】ここで、内部電源電圧発生回路の応答性、すなわち、内部電源電圧が低下したときに所望の電圧まで戻る時間を決めている要因は差動増幅器3がPチャネルMOSトランジスタ11のゲートをLレベルにする時間であるが、外部電源電圧が低い場合はその時間が遅くなる。

【0033】ここで、セルフリフレッシュ検知回路5が、ロウアドレスストローブ信号/RASとコラム アドレスストローブ信号/CASとを受取って、コラム アドレスストローブ信号/CASがロウアドレスストローブ信号/RASより先に活性化されるCBRタイミングを検知し低電圧動作モードに入ると、ハイ（H）レベルの低電圧レベル検知信号LLDを出力する。これにより、PチャネルMOSトランジスタ17がオンし、差動増幅器3の応答速度によらず常に内部電源電圧供給ノードN1に外部電源電圧が供給される。

【0034】【実施の形態2】図2は、本発明の実施の形態2に係る内部電源電圧発生回路の構成を示す図である。

【0035】図2に示されるように、この回路は、通常動作モードと低電圧動作モード（セルフリフレッシュモード）とを有し、内部回路7に接続された内部電源電圧供給ノードN1と、外部電源電圧ノード9と、外部電源電圧ノード9と内部電源電圧供給ノードN1との間に接続されたPチャネルMOSトランジスタ11と、外部電源電圧に依存しない内部回路に所望の参照電圧（Vref）を発生するVref発生回路1と、反転入力端子がVref発生回路1に接続され、非反転入力端子が内部電源電圧供給ノードN1に接続されるとともに、出力ノードがPチャネルMOSトランジスタ11のゲートに接続された差動増幅器3と、ロウアドレスストローブ信号/RASとコラム アドレスストローブ信号/CASとを受取ってセルフリフレッシュモードを検知するセルフリフレッシュ検知回路5と、PチャネルMOSトランジスタ11のゲートと接地ノードとの間に接続され、ゲートにはセルフリフレッシュ検知回路5から低電圧レベル検知信号LLDが供給されるNチャネルMOSトランジスタ23とを備え、差動増幅器3は、外部電源電圧ノード9と出力ノードとの間に接続されゲートにはセルフリフレッシュ検知回路5から低電圧レベル検知信号LLDが供給されるPチャネルMOSトランジスタ21を含む。

【0036】次に、本実施の形態2に係る内部電源電圧発生回路の動作を説明する。セルフリフレッシュ検知回路5は、コラム アドレスストローブ信号/CASがロウアドレスストローブ信号/RASより先に活性化されるCBRタイミングを検知すると、セルフリフレッシュモードに入り、ハイレベルの低電圧レベル検知信号LLDをNチャネルMOSトランジスタ23のゲートとPチャ

ネルMOSトランジスタ21のゲートに供給する。これにより、NチャネルMOSトランジスタ23はオンし、これに伴ってPチャネルMOSトランジスタ11がオンする。一方、PチャネルMOSトランジスタ21はオフする。

【0037】したがって、セルフリフレッシュモードでは、内部電源電圧供給ノードN1に外部電源電圧が強制的に供給されるとともに、差動増幅器3の動作が停止され真直電流が流れることが回避される。

【0038】また、本実施の形態2に係る内部電源電圧発生回路によれば、通常動作モードではPチャネルMOSトランジスタ11が降圧回路の一部として利用されるため、PチャネルMOSトランジスタ11がセルフリフレッシュモードと通常動作モードとで共用され、その結果としてレイアウト面積の削減を図ることができる。

【0039】【実施の形態3】図3は、本発明の実施の形態3に係る内部電源電圧発生回路の構成を示す図である。

【0040】図3に示されるように、この回路は図1に示された本発明の実施の形態1に係る内部電源電圧発生回路とほぼ同様の構成を有するが、差動増幅器3にゲートがPチャネルMOSトランジスタ17のゲートに接続されたNチャネルMOSトランジスタ25が含まれている点で相違する。

【0041】このような構成をとることにより、セルフリフレッシュ検知回路5でセルフリフレッシュモードが検知された場合には、ハイレベルの低電圧レベル検知信号LLOが出力されることによりNチャネルMOSトランジスタ25がオフ状態とされ、差動増幅器3の動作が停止されて消費電力が低減される。

【0042】【実施の形態4】図4は、本発明の実施の形態4に係る内部電源電圧発生回路30を含むダイナミックランダムアクセスメモリ(DRAM)33の構成を示すブロック図である。

【0043】このDRAMは、供給される3.3Vの外部電源電圧を2.5Vの内部電源電圧に降圧して動作させる回路(通常品)と、供給される2.5Vの外部電源電圧をそのまま内部電源電圧として使用する回路(低電圧品)とが同一チップに形成されたものである。

【0044】図4に示されるように、このDRAM33は外部電源端子27と、外部電源端子27に接続されたスイッチ(SW)29と、スイッチ29に接続された外部電源電圧発生回路30と、スイッチ29および内部電源電圧発生回路30に接続された内部電源電圧供給ノードN1と、内部電源電圧供給ノードN1に接続された内部回路7と、スイッチ29、内部電源電圧発生回路30および内部回路7に接続された品種切換信号/MSL入力端子31とを備える。

【0045】次に、このDRAM33の動作を説明する。3.3Vの外部電源電圧が外部電源端子27に供給

されるときは、ハイ(H)レベルの品種切換信号/MSLがスイッチ29、内部電源電圧発生回路30と内部回路7に供給される。

【0046】これにより、スイッチ29は、外部電源端子27に供給された3.3Vの外部電源電圧を内部電源電圧発生回路30に供給し、内部電源電圧発生回路30では3.3Vの外部電源電圧を2.5Vの内部電源電圧に降圧して内部電源電圧供給ノードN1に供給する。そして、内部回路7へは2.5Vの内部電源電圧int、Vccが供給される。

【0047】一方、2.5Vの外部電源電圧が外部電源端子27に供給されるときは、ロー(L)レベルの活性化された品種切換信号/MSLがスイッチ29、内部電源電圧発生回路30および内部回路7に供給される。

【0048】これにより、スイッチ29は外部電源端子27に供給された2.5Vの外部電源電圧を内部電源電圧発生回路30に供給し、内部電源電圧発生回路30では2.5Vの外部電源電圧をそのまま内部電源電圧供給ノードN1に供給する。そして、内部回路7へは2.5Vの内部電源電圧int、Vccが供給される。

【0049】図5は、図4に示された内部電源電圧発生回路30の構成を示す図である。図5に示されるように、この内部電源電圧発生回路30は、図1に示された本発明の実施の形態1に係る内部電源電圧発生回路とほぼ同様の構成を有するが、PチャネルMOSトランジスタ17のゲートには品種切換信号/MSLが供給される点で相違する。

【0050】このような構成をとる内部電源電圧発生回路30によれば、低電圧品の場合、差動増幅器3のレスポンス(応答性)によらず、外部電源電圧を内部電源電圧int、Vccとして直接内部回路7へ供給することができる。

【0051】【実施の形態5】図6は、本発明の実施の形態5に係る内部電源電圧発生回路の構成を示す図である。

【0052】図6に示される内部電源電圧発生回路30は、図4に示される内部電源電圧発生回路30の具体的な構成の一例を示す図である。また、図6に示されるように、この内部電源電圧発生回路30は図2に示された本発明の実施の形態2に係る内部電源電圧発生回路と同様の構成を有するが、PチャネルMOSトランジスタ21のゲートに接続されたインバータ35と、インバータ35に接続された品種切換信号入力端子31とを備える点で相違する。

【0053】このような構成をとる内部電源電圧発生回路30によれば、低電圧品の場合、強制的にPチャネルMOSトランジスタ11をオンさせて外部電源電圧を内部電源電圧int、Vccとして内部回路7へ供給するとともに、PチャネルMOSトランジスタ21をオフさせて差動増幅器3の動作を停止させることによって消費

電力の低減を図ることができる。

【0054】【実施の形態5】図7は、本発明の実施の形態5に係る内部電源電圧発生回路の構成を示す図である。

【0055】図7に示される内部電源電圧発生回路30は、図4に示される内部電源電圧発生回路30の具体的な構成の一例を示す図である。また、図7に示されるように、この内部電源電圧発生回路30は、図3に示された本発明の実施の形態3に係る内部電源電圧発生回路と同様な構成を有するが、PチャネルMOSトランジスタ37のゲートには品種切替信号入力端子31が接続される点で相違する。

【0056】このような構成を有する内部電源電圧発生回路30によれば、低電圧品の場合強制的にPチャネルMOSトランジスタ17をオンさせて外部電源電圧を内部電源電圧 V_{int} 、 V_{cc} として内部回路7へ供給するとともに、NチャネルMOSトランジスタ25をオフさせて差動増幅器3の動作を停止させることにより、消費電力の低減を図ることができる。

【0057】【実施の形態7】図8は、本発明の実施の形態7に係る内部電源電圧発生回路の構成を示す図である。図8に示されるように、この回路は図3に示された内部電源電圧発生回路と同様な構成を有するが、低電圧動作の基準となる参照電圧 V_{ref2} を発生する V_{ref2} 発生回路41と、反転入力端子に外部電源電圧ノード9が接続され、非反転入力端子に V_{ref2} 発生回路41が接続された差動増幅器43と、差動増幅器43に直列接続されたインバータ45、47と、セルフリフレッシュ検知回路5から出力された低電圧レベル検知信号 LLD とインバータ47から出力された信号とを入力し、その出力ノードがPチャネルMOSトランジスタ17のゲートおよびNチャネルMOSトランジスタ25のゲートに接続されたNAND回路49とを備える点で相違する。

【0058】なお、参照電圧 V_{ref1} は、所望の内部電源電圧 V_{int} 、 V_{cc} のレベルを有するものであり、 $V_{ref1} > V_{ref2}$ という関係をなす。

【0059】このような構成に係る内部電源電圧発生回路によれば、外部電源電圧が参照電圧 V_{ref2} より下になると差動増幅器43からはHレベルの信号が出力されるため、セルフリフレッシュモード時（信号 LLD がHレベルのとき）には、NAND回路49から活性化された低電圧レベル検知信号 $LLD1$ が出力される。

【0060】このように、この場合には、PチャネルMOSトランジスタ17がオンして外部電源電圧が内部電源電圧 V_{int} 、 V_{cc} として内部回路7へ供給されるとともに、NチャネルMOSトランジスタ25がオフして差動増幅器3の動作が停止される。

【0061】なお、上記実施の形態1から7に係る内部電源電圧発生回路は、セルフリフレッシュイネーブル信

号と同時に生成される低電圧レベル検知信号 LLD や、品種切替信号 MSL によって、あるいは参照電圧 V_{ref2} を基準とした制御が行なわれるものであったが、本発明はこのような実施の形態に限られるものではなく、内部電源電圧発生回路を備えたシステムが外部電源電圧を下げたときに生成するシステム信号や、セルフリフレッシュイネーブル信号自身などによって制御される内部電源電圧発生回路も同様に考えることができる。

【0062】

【発明の効果】請求項1に係る半導体集積回路装置によれば、低電圧動作モードにおける降圧手段の応答性を高めることができる。

【0063】請求項2に係る半導体集積回路装置によれば、さらに、外部制御信号にตอบสนองしたモード切替手段の通常動作モードから低電圧動作モードへの切替えにより、外部電源電圧を内部回路に供給することができる。

【0064】請求項3に係る半導体集積回路装置によれば、モード切替手段は、ロウアドレスストローブ信号とコラムアドレスストローブ信号とにตอบสนองして低電圧動作モードへの切替えを実現することができる。

【0065】請求項4に係る半導体集積回路装置によれば、レイアウト面積を増大することなく降圧手段の応答性を改善することができる。

【0066】請求項5に係る半導体集積回路装置によれば、さらに、消費電力を低減することができる。

【0067】請求項6に係る半導体集積回路装置によれば、低電圧動作において外部電源電圧の内部回路への供給能力を向上させることができる。

【0068】請求項7に係る半導体集積回路装置によれば、さらに、供給される外部電源電圧の大きさに応じて降圧手段の動作特性を改善することができる。

【0069】請求項8に係る半導体集積回路装置によれば、外部電源電圧を降圧させることなく内部回路に供給することができる。

【0070】請求項9に係る半導体集積回路装置によれば、さらに、レイアウト面積を削減することができる。

【0071】請求項10に係る半導体集積回路装置によれば、さらに、消費電力を低減することができる。

【0072】請求項11に係る半導体集積回路装置によれば、外部電源電圧の大きさが所定値より低い場合だけ降圧手段の応答性を改善することができ、動作の信頼性をより高めることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体集積回路装置（内部電源電圧発生回路）の構成を示す図である。

【図2】 本発明の実施の形態2に係る内部電源電圧発生回路の構成を示す図である。

【図3】 本発明の実施の形態3に係る内部電源電圧発生回路の構成を示す図である。

【図4】 本発明の実施の形態4に係る内部電源電圧発

生回路を含むDRAMの構成を示すブロック図である。

【図5】 図4に示される本発明の実施の形態4に係る内部電源電圧発生回路の構成を示す図である。

【図6】 図4に示される本発明の実施の形態5に係る内部電源電圧発生回路の構成を示す図である。

【図7】 図4に示される本発明の実施の形態6に係る内部電源電圧発生回路の構成を示す図である。

【図8】 本発明の実施の形態7に係る内部電源電圧発生回路の構成を示す図である。

【図9】 従来の電圧降下回路(VDC)の構成を示す図である。

【図10】 図9に示されたVDCの具体的な構成を示す

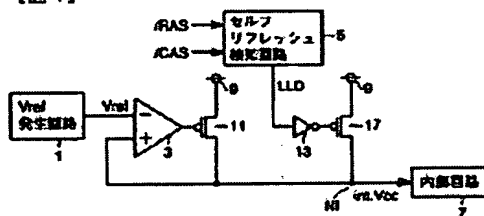
回路図である。

【図11】 図10に示されたVDCの動作を説明するためのグラフである。

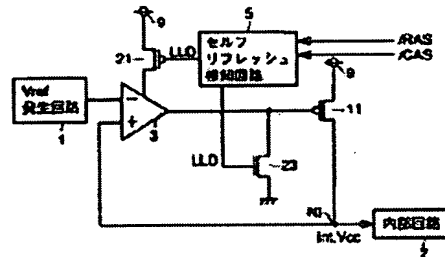
【符号の説明】

1 参照電圧(Vref)発生回路、3、43 差動増幅器、5 セルフリフレッシュ検知回路、9 外部電源電圧ノード、11、17、21 PチャネルMOSトランジスタ、13、35、45、47 インバータ、23、25 NチャネルMOSトランジスタ、39 Vref1発生回路、41 Vref2発生回路、49 NAND回路、N1 内部電源電圧供給ノード。

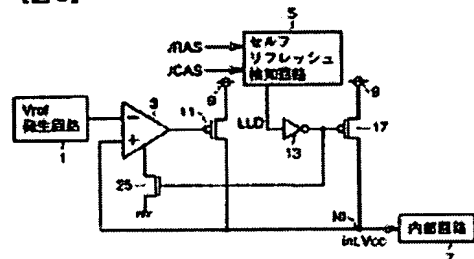
【図1】



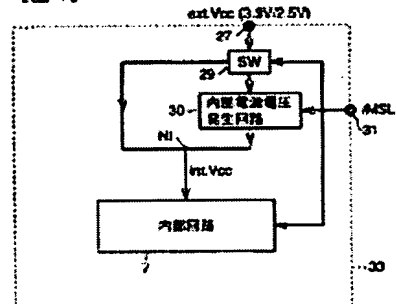
【図2】



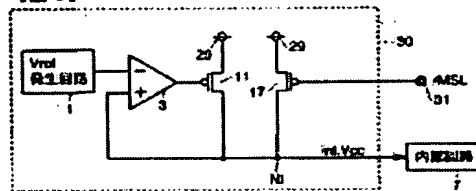
【図3】



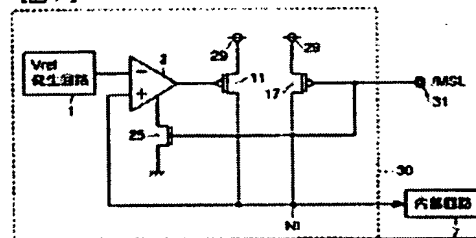
【図4】



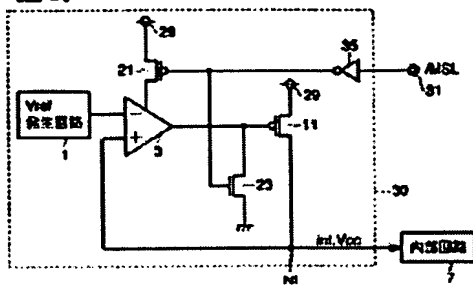
【図5】



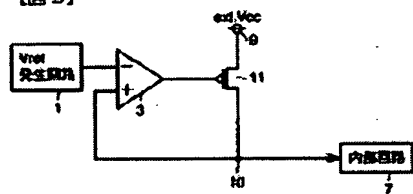
【図7】



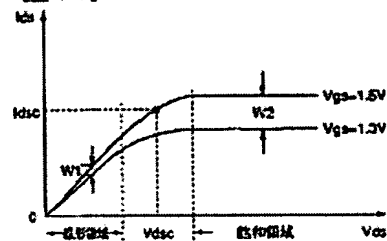
【図 5】



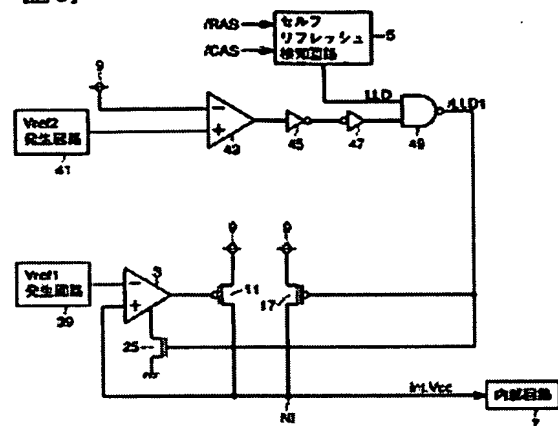
【図 9】



【図 11】



【図 8】



【図 10】

